

文章编号 1004-924X(2009)01-0231-05

基于 DDR 模组阵列的超高速数字图像存储技术

徐启明^{1,2}, 张启衡¹, 陈 强^{1,2}

(1. 中国科学院 光电技术研究所, 四川 成都 610209;

2. 中国科学院 研究生院, 北京 100039)

摘要: 为了实现光电跟踪测量系统高精度测量中图像数据的超高速实时存储, 提出了基于双数据率(DDR)模组阵列的超高速数字图像存储方案。采用大容量 DDR 双列直插式内存模组(DIMM)阵列作存储介质, 现场可编程门阵列(FPGA)作 DDR 模组阵列控制器, 设计了存储系统。介绍了存储系统的总体设计框图, 给出了 DDR 模组阵列控制器的各模块设计和图像数据的输入、输出方法。测试中完成了数据速率为 1 000 MB/s 的高速图像实时存储; 分析表明其最高数据存储速率可达 1 828 MB/s, 可满足光电跟踪测量系统高精度测量对高帧频、大靶面图像传感器输出图像数据超高速实时存储的需求。

关键词: 光电跟踪与测量; 超高速图像存储; 双数据率双列直插式内存模组; 现场可编程门阵列

中图分类号: TP391.4 **文献标识码:** A

Ultra high-speed digital image storage technology based on DDR dual in-line memory module array

XU Qi-ming^{1,2}, ZHANG Qi-heng¹, CHEN Qiang^{1,2}

(1. *Institute of Optics and Electronics, Chinese Academy of Sciences, Chengdu 610209, China;*

2. *Graduate University of Chinese Academy of Sciences, Beijing 100039, China*)

Abstract: In order to realize the ultra high-speed image storage in the high accuracy measurement of opto-electronic tracking and measuring system, an image storage scheme based on Double-data Rate Dual In-line Memory Module(DDR DIMM) array technology is put forward. By using the DDR DIMM memory as storage medium and the Field Programming Gate Array(FPGA) as memory controller, a storage system is established. The block diagram of overall design is introduced, then the modules of DDR DIMM array controller and the methods of image data input and output are discussed. The experimental results indicate that the image data storage rate has come to 1 000 MB/s. Actually, analysis show that the scheme can achieve a higher speed to 1 828 MB/s, which can satisfy the requirements of ultra high-speed image data storage of high frame frequency and high resolution image sensors in the high accuracy measurement of opto-electronic tracking and measuring system.

Key words: opto-electronic track and measurement; ultra high-speed image storage; Double-data Rate Dual In-line Memory Module(DDR DIMM); Field Programming Gate Array(FPGA)

收稿日期:2008-05-27; 修订日期:2008-06-25.

基金项目:国家 863 高技术研究发展计划资助项目(No. 2007AA802401)

1 引言

在光电跟踪测量领域,随着技术的发展,传统的高速摄影胶片判读手段已被快速高效的视频图像判读所取代,数字图像高速存储系统已经成为光电跟踪测量系统的一个重要的分系统,是事后视频图像精确判读的基础。为了提高光电跟踪测量系统的测量精度,大都采用高帧频、大靶面图像传感器来提高时间分辨力和空间分辨力,而高帧频、大靶面图像传感器输出的图像数据量巨大,数据输出速率高,对数字图像存储系统的存储能力提出了极大的挑战。以 MC1310 数字相机为例,图像传感器的最高分辨率为 $1\ 280 \times 1\ 024$,帧频为 500 frames/s,在此条件下图像数据输出速率高达 625 MB/s。然而以目前国内的现有技术水平,仅能完成约 200 MB/s 的图像实时记录^[1],无法完成如此高速的数字图像实时记录,严重制约了光测设备测量精度的提高,使得图像传感器输出数据的超高速存储技术成为光电跟踪测量系统研制中亟待突破的技术难点。

本文针对光电跟踪测量系统高精度测量对高帧频、大靶面图像传感器图像数据超高速实时存储的需求,提出了基于 DDR 模组阵列的超高速图像存储系统设计方案,该方案采用 FPGA 作为主控制器,数据存储速率高达 1 828 MB/s,满足了光电跟踪测量系统采用高帧频、大靶面图像传感器对数字图像存储系统提出的超高速存储能力的需求。

2 DDR 存储器简介

DDR 存储器即双数据率同步动态随机访问存储器^[1,2] (Double Data Rate Synchronous Dynamic Random-Access Memory, DDR SDRAM),它和早期的单数据率同步动态随机访问存储器^[3] (Single Data Rate SDRAM, SDR SDRAM)一样,内部存储单元采用电容充电来保存数据,因此必须不断地对电容充电以保持数据,这就是所谓的“刷新”。与 DDR SDRAM 不同的是,SDR SDRAM 的数据总线在每个时钟的上升沿存取数据,而 DDR SDRAM 则在每个时钟的上升沿和下降沿都存取数据,这样在数据总线宽度

和时钟频率不变的条件数据总线带宽得到了一倍的提升。

由技术手册可知,DDR 存储器可以在 77~200 M 的时钟频率下工作,由于数据总线在时钟的上升沿和下降沿都存取数据,因此单条数据线的的数据率最高可以达到 400 Mb/s,单芯片即可以提供高达 1 600 MB/s 的(采用 32 bit 数据宽度芯片)数据吞吐能力,远远高于硬盘等存储介质。

3 系统设计

设计采用 Xilinx 公司 XCVP20 1152-5^[4] FPGA 作为主控制器,使用 6 条 DDR 模组^[5]作为存储介质,最大存储容量为 12 GB。为了接收外界控制命令和回传图像,设计了网络通信接口,采用 WIZNET 公司的 W3100A 网络协议处理器^[6],并在 FPGA 内部设计了协议处理控制逻辑。

该系统在一片 FPGA 内实现了两个 DDR 模组阵列控制器,分别对两组 DDR 模组进行控制^[6-7]。FPGA 内主控制器采用层次化和模块化设计,整体设计框图如图 1 所示。

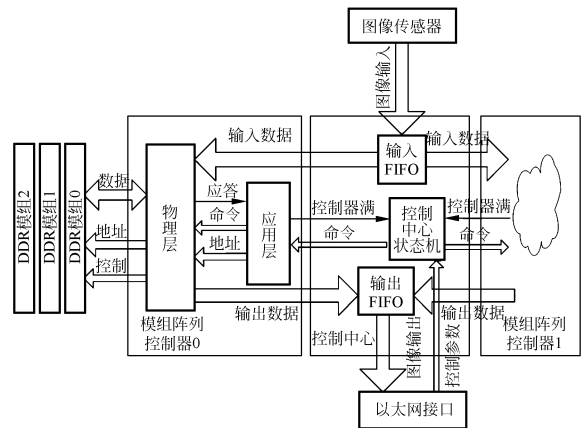


图 1 系统框图

Fig. 1 System block diagram

3.1 DDR 模组阵列控制器设计

在每个模组阵列控制器中对 DDR 存储器的控制分为两个层次:应用层和物理层。物理层直接面对 DDR 内存模组,具体产生内存操作的各种时序;应用层则根据应用的需要向物理层发出的一系列的控制指令,它反映了设计者对存储阵列的控制策略。

3.1.1 物理层控制模块

物理层控制模块实现对 DDR 模组最底层的控制,它针对上一层的每一个指令产生一系列的响应,来产生 JESD79D 规范^[8]对 DDR 存储器操作规定的时序。物理层控制模块能够接收并产生相应操作的指令有:初始化(initialize)、进入自刷新(enter self refresh)、退出自刷新(exit self refresh)、连续猝发写(write)、连续猝发读(read)、猝发结束(burst done)。鉴于预充电(precharge)和自动刷新(auto refresh)的规律性,这两个操作是在每一次猝发写或读过后自行启动的,无需上一层的指示,同样,行激活(active)则是在猝发读或写之前自动启动的。物理层状态转移图如图 2 所示。

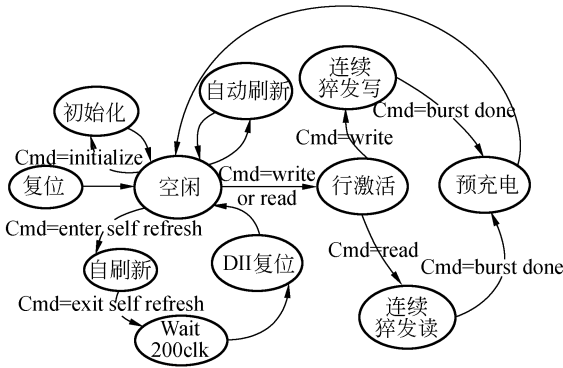


图 2 物理层状态转移图

Fig. 2 State transition diagram in physical layer

3.1.2 应用层控制模块

在应用层中设计了 DDR 模组阵列的管理方法和物理层读写猝发的控制。

在 DDR 模组中把构成 64 bit 位宽的一组 DDR 存储器称为一个内存列(rank),对 DDR 模组阵列的管理实际上是以内存列为单位的。根据 DDR 模组的容量和组织形式不同,一个 DDR 模组中可能有多个内存列,它们复用一套地址和数据总线,并通过片选信号来区分。

在系统上电时,应用层控制模块依次向本控制器管辖的模组的各内存列发出初始化(initialization)命令和进入自刷新(enter self refresh)命令,当所有内存列处于自刷新状态后应用层状态机处于空闲状态。当控制中心模块接收到来自网络接口的网络主机发出的控制命令后,将选中某个控制器并把控制命令转交给它的应用层控制模块。网络控制命令目前定义了 3 个:写(write)、

读(read)、停止(stop)。

应用层模块收到读或写命令时,退出空闲状态并首先向物理层发出选中的内存列退出自刷新(exit self refresh)命令,当该内存列退出自刷新后应用层状态机转入猝发读或写状态。在猝发读或写状态,应用层发出控制命令指示物理层模块产生连续猝发读或连续猝发写的时序,同时实时地更新地址提供给物理层,如果没有收到控制中心发出的停止命令,则在每次连续猝发访问结束后再次启动下一次连续猝发访问。若收到停止命令,则在当次连续猝发访问结束后先使当前访问的内存列进入自刷新状态,然后应用层状态机进入空闲状态。图 3 是应用层状态转移图。

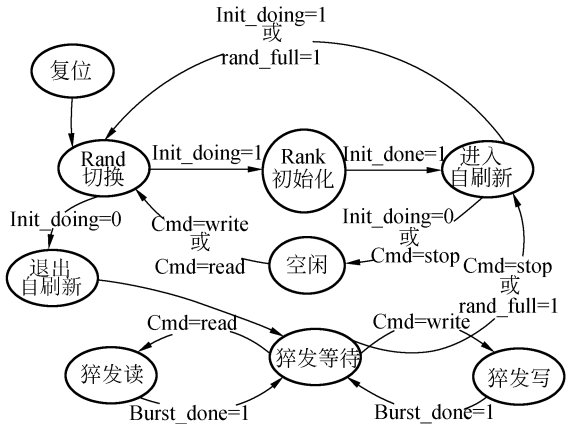


图 3 应用层状态转移图

Fig. 3 State transition diagram in application layer

3.2 控制中心模块

控制中心模块是 FPGA 软件设计中的任务及数据的调度中心。一方面,它通过以太网接口接收来自控制计算机的控制命令及控制参数,并把控制命令及参数传递给 DIMM 阵列控制器的应用层。另一方面,它控制图像传感器数据的输入和存储图像向以太网接口的输出。

3.3 图像数据的存取

DDR 存储器的读写采用猝发(burst)方式,每个猝发的长度(burst length)可以是 2、4 或 8,本设计采用的猝发长度为 4,并采用连续猝发写或连续猝发读的方式,即一次读或写操作由 128 个连续的猝发组成。DDR 模组由多个 DDR 存储器并联组成 64 bit 的数据总线,一次连续猝发操作产生的数据吞吐量是 $128 \times 4 \times 64 / 8 = 4 \text{ kB}$ 。

在控制中心使用了分别用作写入和读出图像

的输入 FIFO 和输出 FIFO,在记录图像时,当写入输入 FIFO 的数据超过 4 kB,控制中心就向应用层发出指令,由应用层发起连续的猝发写,数据在物理层被分成上升沿和下降沿送到 FPGA 外的数据总线上,物理层还同时送出一组与数据相差 90° 的数据队列选通信号提供给 DDR 模组作为写脉冲。

在读出图像数据时,从 DDR 模组中读出的数据首先进入输出 FIFO,当 FIFO 中的数据超过 2 kB 时控制中心向以太网接口发出信号,指示其启动网络数据传输,而当输出 FIFO 剩余空间大于 4 kB 时则向应用层发出指令,由应用层发起连续的猝发读。在读数据时,DDR 存储器送出的数据和 DQS 信号的相位是相同的,还需要做 90° 相移才能被 FPGA 内部用来锁存读取的数据^[9-10]。

4 实验结果与分析

4.1 存储性能测试

为了测试基于 DDR 模组阵列的图像存储性能,设计了如下两个实验:

测试一:使用分辨率为 $1\ 280 \times 1\ 024$ 、帧频为 500 frames/s 的 MC1310 高速数字相机作为数据源进行图像存储试验,图像写入结束后通过网络通信接口把图像回传到计算机系统显示,如图 4 所示。



图 4 测试一输出的图像

Fig. 4 Image acquired at test one

实验表明基于 DDR 模组阵列的高速图像存储系统能完成 625 MB/s 的图像实时存储。

测试二:为了验证本设计的超高速图像存储性能,设计了一个相机信号发生器来模拟数字相机的输出,该数据源以 125 MHz 的像素时钟产生 8 路 8 bit 输出图像,图像分辨率为 512×512 ,为

了尽量提高数据速率,不设置行、场消隐信号,因此相机信号发生器输出的图像的数据速率为 1 000 MB/s。相机信号发生器的每路 8 bit 数据以 0 到 255 的规律递增。

信号发生器产生的图像在 DDR 阵列控制器的控制下写入 DDR 阵列,图像写入结束后通过网络通信接口把其中任意一路图像回传到计算机系统,如图 5 所示。回传图像与相机信号发生器产生的图像相符,没有图像断裂等现象发生。

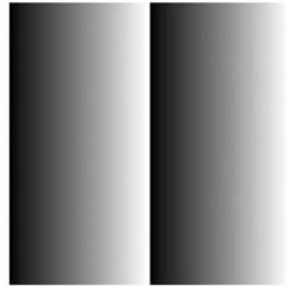


图 5 测试二输出的图像

Fig. 5 Image acquired at test two

实验表明基于 DDR 模组阵列的高速图像存储系统能完成 1 000 MB/s 的图像实时存储。

4.2 系统存储性能分析

DDR 模组工作时钟的选择关系到存储系统的数据带宽和 DDR 模组阵列控制器的负载能力。DDR 模组在系统中表现为容性负载,为了扩展系统的存储容量,必须增加每个模组控制器的负载数量,这会使得控制器总线上的容性负载加重,延长信号的上升时间和下降时间,从而导致信号的有效窗口变窄。因此,为了保证信号有足够的有效窗口时间,在增加系统容量的同时必须降低 DDR 模组的工作频率以获取足够的窗口时间。

实验中选用的 DDR 模组的最高工作频率为 DDR400^[4,11],可接受 200 MHz 的工作时钟;选用的 FPGA 的速度等级为 -5,在此速度等级下布局布线后控制器内部逻辑的最高工作频率可以达到 167 MHz。但为了兼顾数据带宽和存储容量,本设计选取了 125 MHz 的工作时钟,即 DDR 模组工作在 DDR250,在此条件下,模组的理论带宽为 $250 \times 8 = 2\ 000$ MB/s,除去预充电、行激活、自动刷新等命令以及控制器中逻辑设计的时间开

销,实际有效带宽达1 828 MB/s,带宽利用率大约是91.4%。

5 结 论

提出并实现了一种基于DDR模组阵列的超高速图像数据存储技术,介绍了系统各功能模块设计和DDR模组阵列的控制方法。实验验证该系统在125 MHz的时钟条件下能完成数据速率为1 000 MB/s的超高速数字图像数据的实时存

储。通过分析,存储系统在该条件下的最高存储速率为1 828 MB/s,与目前国内普遍采用的使用硬盘等存储介质的图像存储系统相比,存储速率有大幅提升^[3,12-14]。

本文设计的基于DDR模组阵列的超高速存储系统满足了光电跟踪测量系统采用高帧频、大靶面图像传感器对数字图像存储系统提出的超高速存储能力的需求,对提高光电跟踪测量系统的测量精度有重要意义。

参考文献:

- [1] Synchronous DRAM, micron technology[DB/OL]. <http://www.micron.com>
- [2] Creating High-Speed Memory Interface with Virtex-II and Virtex-II pro FPGAs, May, 2004 [DB/OL]. <http://www.xilinx.com>
- [3] 任国强. 针对光电测量的高速数字图像嵌入式记录技术[D]. 北京:中国科学院研究生院, 2007.
REN G Q. *Technologies of embedded recording high-speed digital image aimed at electric-optics measure*[D]. Beijing: Chinese Academy of Sciences, 2007. (in Chinese)
- [4] Virtex-II Pro and Virtex-II Pro X platform FPGAs: complete data sheet[DB/OL]. <http://www.xilinx.com>
- [5] DDR SDRAM nbuffered DIMM, micron technology [DB/OL]. <http://www.micron.com>
- [6] i2Chip W3100A Technical Datasheet v1.3 [DB/OL]. <http://www.wiznet.co.kr>
- [7] Interfacing spartan-3 devices with 166 MHz or 333 Mb/s DDR SDRAM memories, October, 2004 [DB/OL]. <http://www.xilinx.com>
- [8] JESD79D, Double Data Rate(DDR) SDRAM Specification[S].
- [9] Data capture technique using CLB flip-flops 2004 [DB/OL]. <http://www.xilinx.com>
- [10] DDR SDRAM functionality and controller read data capture [DB/OL]. <http://www.micron.com>.
- [11] Double data rate (DDR) SDRAM, micron technology[DB/OL]. <http://www.micron.com>
- [12] 周国辉. CCD摄影测量相机图像数据高速实时存储的研究[D]. 中国科学院研究生院, 2005.
ZHOU G H. *Study on high-speed and real time storage system for CCD photogrammetric image data*[D]. Chinese Academy of Sciences, 2005. (in Chinese)
- [13] 黄进, 郭立红, 韩晓泉, 等. 光电经纬仪高速数字视频采集和存储[J]. 光学精密工程, 2004, 12(增2): 68-71.
HUANG J, GOU L H, HAN X Q, et al.. High speed digital video sampling and storing in optoelectronic theodolite [J]. *Opt. Precision Eng.*, 2004, 12(Supp. 2): 68-71. (in Chinese)
- [14] 熊伟, 曾峦, 赵忠文. 用于光电经纬仪的高速图像数据记录技术[J]. 红外与激光工程, 2004, 33(5): 538-541.
XIONG W, ZENG L, ZHAO ZH W, Technology of high speed image data record applied in photoelectric theodolite [J]. *Infrared and Laser Engineering*, 2004, 33(5): 538-541. (in Chinese)

作者简介:



徐启明(1976—),男,四川雅安人,博士研究生,主要从事高速数字图像数据存储与传输研究。E-mail: mingqi_xu@163.com



陈强(1983—),男,重庆潼南人,硕士研究生,主要从事高速数字图像数据存储研究。E-mail: chenqiang1983@yahoo.com

导师简介:

张启衡(1950—),男,四川乐山人,研究员,博士生导师,主要从事光电探测、信号检测、数字图像处理、目标识别与实时跟踪技术等方面的研究。E-mail: qzhang@ioe.ac.cn